

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年2月24日 (24.02.2005)

PCT

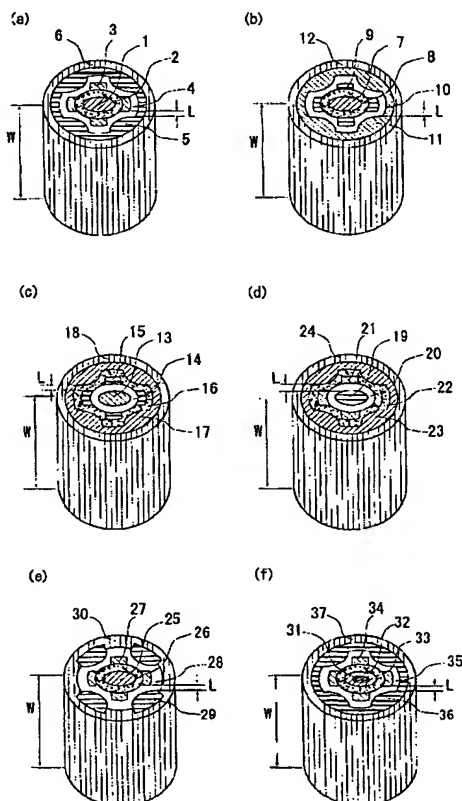
(10) 国際公開番号
WO 2005/018003 A1

- (51) 国際特許分類⁷: H01L 29/06, 29/786 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/011928 (75) 発明者/出願人 (米国についてのみ): 笠間 泰彦
(22) 国際出願日: 2004年8月19日 (19.08.2004) (KASAMA, Yasuhiko) [JP/JP]; 〒9818007 宮城県仙台
(25) 国際出願の言語: 日本語 市泉区虹の丘4丁目11番地の12 Miyagi (JP). 表
(26) 国際公開の言語: 日本語 研次 (OMOTE, Kenji) [JP/JP]; 〒9813222 宮城県仙台
(30) 優先権データ: 市泉区住吉台東5丁目13-18 Miyagi (JP).
特願2003-294807 2003年8月19日 (19.08.2003) JP (74) 代理人: 福森 久夫 (FUKUMORI, Hisao); 〒1020074 東京
特願2003-321027 2003年9月12日 (12.09.2003) JP 都千代田区九段南4-5-11 富士ビル2F Tokyo
(71) 出願人 (米国を除く全ての指定国について): 株式 (JP) (81) 指定国 (表示のない限り、全ての種類の国内保護が
会社イデアルスター (IDEAL STAR INC.) [JP/JP]; 〒 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
9893204 宮城県仙台市青葉区南吉成六丁目6番地の BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
3 Miyagi (JP). DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: LINEAR DEVICE

(54) 発明の名称: 線状素子



(57) Abstract: A linear MISFET has flexibility and softness and an advantage of enabling fabrication of an integrated circuit having an arbitrary pattern. The structure of conventional one has been so made that a source and a drain region are arranged in parallel. However, the electrical characteristic of the MISFET is determined by the channel length, and the channel length is determined by the distance along the cylindrical gate insulating region between the source and drain region. Therefore decrease of the channel length and improvement on reproducibility of the channel length has been hard. The MISFET structure of this invention is so made that the semiconductor region to serve as a channel region is sandwiched between the source region and the drain region. A control voltage is applied via the gate insulating region to the semiconductor region, thereby controlling the current flowing between the source and drain regions. The channel length is determined by the film thickness of the semiconductor region, thereby enabling decrease of the channel length and improvement on the reproducibility of the channel length.

(57) 要約: 柔軟性、可撓性があり任意の形状に集積回路を作成できるという特徴を持つ線状MISFETでは、ソース領域とドレイン領域を並列配置する構造が使用されていた。しかし、MISFETの電気特性を決めるチャネル長が円筒形のゲート絶縁領域に沿ったソース領域とドレイン領域の距離であるため、チャネル長の微細化や再現性向上が困難だった。MISFETの構造を、ソース領域とドレイン領域でチャネル領域となる半導体領域を挟む構造とした。半導体領域にゲート絶縁領域を介して制御電圧を加え、ソース領域とドレイン領域間で流れる電流を制御する。チャネル長が、半導体領域の膜厚で決まるため、チャネル長の微細化や再現性向上が可能になった。



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。